



PATENT ABSTRACTS OF JAPAN

(11) Publication number: **08172608 A**

(43) Date of publication of application: 02 . 07 . 96

(51) Int. Cl.

H04N 5/956
H04N 5/937
H04N 9/89

(21) Application number: **06313215** .

(22) Date of filing: 16 . 12 . 94

(71) Applicant: **MATSUSHITA ELECTRIC IND CO LTD**

(72) Inventor: **HIDAKA IWAO**
HASHIMOTO SEIICHI

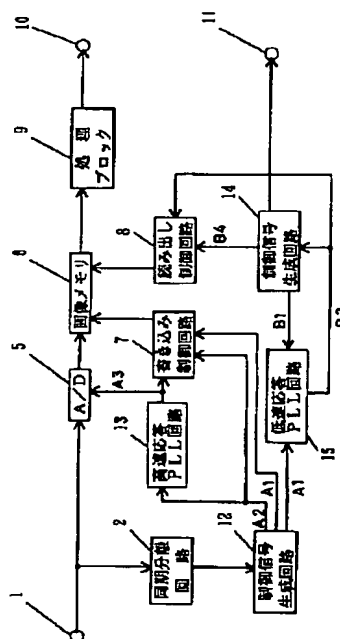
(54) VIDEO SIGNAL PROCESSING UNIT

(57) Abstract:

PURPOSE: To precisely attain recording onto a recording medium by writing data into an image memory even when a large fluctuation exists in an input video signal, reading out data from the image memory stably and conducting the succeeding process surely and efficiently.

CONSTITUTION: A clock signal synchronously with a horizontal synchronizing signal in an input video signal is generated by a high speed response PLL circuit 13 and an A/D converter 5 converts the signal into a digital signal according to the clock signal and writes the signal in an image memory 6 based on the clock signal. The clock signal synchronously with a vertical synchronizing signal in the input video signal is generated by a low speed response PLL circuit 15 and data are read out from the image memory 6 according to the clock signal.

COPYRIGHT: (C)1996,JPO



(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平8-172608

(43) 公開日 平成8年(1996)7月2日

(51) Int.Cl.⁶

識別記号

庁内整理番号

F I

技術表示箇所

H 0 4 N 5/956

5/937

9/89

H 0 4 N 5/ 95

A

5/ 93

C

審査請求 未請求 請求項の数 5 O L (全 10 頁) 最終頁に続く

(21) 出願番号 特願平6-313215

(22) 出願日 平成6年(1994)12月16日

(71) 出願人 000005821

松下電器産業株式会社

大阪府門真市大字門真1006番地

(72) 発明者 日▲高▼ 巖

大阪府門真市大字門真1006番地 松下電器

産業株式会社内

(72) 発明者 橋本 清一

大阪府門真市大字門真1006番地 松下電器

産業株式会社内

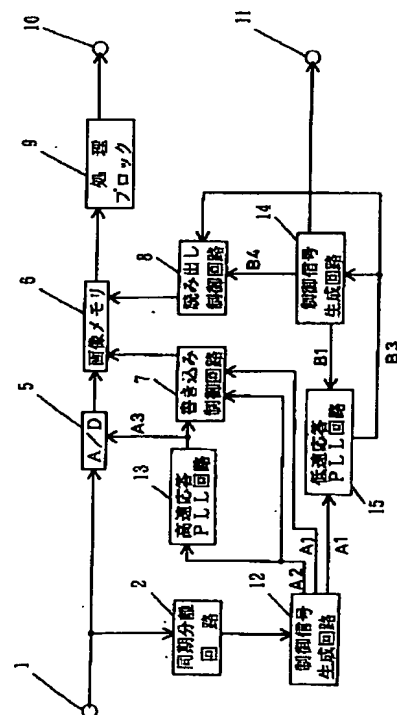
(74) 代理人 弁理士 宮井 暎夫

(54) 【発明の名称】 映像信号処理装置

(57) 【要約】

【目的】 入力映像信号に大きな変動があっても、画像メモリへのデータの書き込み、画像メモリからのデータの読み出しが安定してでき、以後の処理を確実に効率よく行え、また記録媒体への記録を正確に行う。

【構成】 入力映像信号中の水平同期信号に同期したクロックを高速応答PLL回路13で作成し、このクロックにしたがってA/D変換器5でディジタル信号に変換し、同クロックで画像メモリ6に書き込む。入力映像信号中の垂直同期信号に同期したクロックを低速応答PLL回路15で作成し、このクロックに従って画像メモリ6からデータを読み出す。



【特許請求の範囲】

【請求項1】 入力映像信号中の垂直同期信号と水平同期信号を基準にして第1の垂直基準信号（A1）と水平基準信号（A2）を生成する第1の制御信号生成回路と、前記水平基準信号（A2）を入力とし前記入力映像信号中の水平同期信号に位相同期した第1のクロック

（A3）を生成する高速応答PLL回路と、前記入力映像信号を前記第1のクロック（A3）でサンプリングしてアナログーデジタル変換するA/D変換器と、少なくとも1フィールドのデータが蓄積できる画像メモリと、前記第1のクロック（A3）と前記第1の垂直基準信号（A1）と前記水平基準信号（A2）を基準にして前記A/D変換器の出力信号であるデータ信号の前記画像メモリへの書き込みを制御する書き込み制御回路と、第2のクロック（B3）を分周して第2の垂直基準信号（B1）と読み出し用基準信号（B4）を生成する第2の制御信号生成回路と、前記第1の垂直基準信号（A1）と前記第2の垂直基準信号（B1）とを位相比較し位相比較信号の帯域を十分狭くすることによって誤差変動に対する応答が十分に遅い位相ロックドループを構成して前記第2のクロック（B3）を発生する低速応答PLL回路と、前記第2のクロック（B3）と前記読み出し用基準信号（B4）を基準として前記画像メモリに蓄積されたデータの読み出しを制御する読み出し制御回路と、前記画像メモリから出力されたデータを処理する処理ブロックとを備えた映像信号処理装置。

【請求項2】 高速応答PLL回路が所定の周波数を有する信号を発生するクロック発振回路と、前記発振回路の出力信号を位相シフトして水平同期信号の変動に追従したクロックを生成するクロック位相シフト回路とを備えた請求項1記載の映像信号処理装置。

【請求項3】 画像メモリはデータの並べ替え処理機能を備えている請求項1記載の映像信号処理装置。

【請求項4】 入力映像信号中の垂直同期信号と水平同期信号を基準にして第1の垂直基準信号（A1）と第1の水平基準信号（A2）を生成する第1の制御信号生成回路と、一定周波数の安定な第1のクロック（C3）を発生するクロック発振回路と、前記第1の水平基準信号（A2）と前記第1のクロック（C3）を入力とし前記第1の水平基準信号（A2）の変動に追従して前記第1のクロック（C3）を位相シフトして前記入力映像信号中の水平同期信号に位相同期した第2のクロック（A3）を生成するクロック位相シフト回路と、前記入力映像信号を前記第2のクロック（A3）でサンプリングしてアナログーデジタル変換するA/D変換器と、前記第1の垂直基準信号（A1）と前記第1の水平基準信号（A2）と前記A/D変換器の出力信号である第1のデータ信号（A5）の相対タイミングを一定に保ちながら前記第2のクロック（A3）から前記第1のクロック（C3）にクロック位相変換して第2の垂直基準信号

（C1）と第2の水平基準信号（C2）と第2のデータ信号（C5）を生成するクロック位相変換回路と、前記クロック位相変換回路から出力された第2のデータ信号（C5）を処理する第1の処理ブロックと、少なくとも1フィールドのデータが蓄積できデータの並べ替え機能を有する画像メモリと、前記第1のクロック（C3）と前記第2の垂直基準信号（C1）と前記第2の水平基準信号（C2）を基準にして前記第2のデータ信号（C5）の前記画像メモリへの書き込みを制御する書き込み制御回路と、第3のクロック（B3）を入力とし第3の垂直基準信号（B1）と読み出し用基準信号（B4）を生成する第2の制御信号生成回路と、前記第1の垂直基準信号（A1）と前記第3の垂直基準信号（B1）とを位相比較し位相比較信号の帯域を十分狭くすることによって誤差変動に対する応答が十分に遅い位相ロックドループを構成して前記第3のクロック（B3）を発生する低速応答PLL回路と、前記第3のクロック（B3）と前記読み出し用基準信号（B4）を基準として前記画像メモリに蓄積されたデータの読み出しを制御する読み出し制御回路と、前記画像メモリから出力されたデータを処理する第2の処理ブロックとを備えた映像信号処理装置。

【請求項5】 記録ヘッドと記録媒体の相対関係を制御する制御回路の基準信号を第2の制御信号生成回路から出力することを特徴とする請求項1または請求項4記載の映像信号処理装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 この発明は、画像情報を高能率符号化して記録等を行う装置でジッターを持った入力映像信号にも対応できる映像信号処理装置に関するものである。

【0002】

【従来の技術】 従来の映像信号処理装置は、ジッターを持った入力映像信号に対して、A/D変換器および画像メモリで処理を行っていた。図4は、従来の映像信号処理装置のブロック図を示している。同図において、1は映像信号の入力端子である。2は入力映像信号から垂直同期信号と水平同期信号を分離する同期分離回路である。3は同期分離回路3で分離された垂直同期信号と水平同期信号を基準にして基準信号（垂直基準信号、水平基準信号）を生成する制御信号生成回路である。

【0003】 4は制御信号生成回路3で生成された基準信号（水平基準信号）を入力とし、その変動に追従して入力映像信号に位相同期したクロックを生成するPLL回路であり、クロックを発生する電圧制御発振器、クロックを分周する分周器、基準信号と分周器出力の位相比較を行う位相比較器、位相比較器の出力の低域成分を抽出して電圧制御発振器に供給するローパスフィルタ等を内蔵している。5は入力映像信号をアナログーディジタ

ル変換するA/D変換器である。

【0004】6は少なくとも1フィールド以上のデータが蓄積できる画像メモリである。7はクロックと基準信号を基準にしてA/D変換器5の出力データ信号の画像メモリ6への書き込みを制御する書き込み制御回路である。8はクロックと基準信号を基準にして画像メモリ6に蓄積されたデータの読み出しを制御する読み出し制御回路である。9は画像メモリ6から出力されたデータに対して任意の処理を行う処理ブロックである。10は処理ブロック9から出力されたデータの出力端子である。

11は画像情報を高能率符号化して記録等を行う装置の記録ヘッドと記録媒体の相対位置を制御するサーボ回路等の制御回路の基準信号の出力端子である。

【0005】以上のように構成された映像信号処理装置について、以下その動作を図4を用いて説明する。入力端子1に加えられた入力映像信号から同期分離回路2で垂直同期信号と水平同期信号が分離され、制御信号生成回路3で基準信号（垂直基準信号、水平基準信号）が生成される。この基準信号のうちの水平基準信号はPLL回路4に入力され、入力映像信号に同期したクロックが生成される。また、入力映像信号はA/D変換器5でアナログ→デジタル変換され、画像データとして画像メモリ6に入力される。さらに、基準信号とクロックは書き込み制御回路7に入力され、書き込み制御回路7で画像メモリ6の書き込みを制御する制御信号が作成され、画像メモリ6に入力され、これによって画像データの書き込みが制御される。

【0006】画像メモリ6からのデータの読み出しに関しては、制御信号生成回路3の基準信号を元に読み出しの制御信号を読み出し制御回路8で作成し、画像メモリ6からデータを順次処理ブロック9に供給し、処理ブロック9で処理を行った後、出力端子10から出力される。また、制御信号生成回路3から入力映像信号中の垂直同期信号から作られたサーボ回路の基準信号が出力される。画像情報を高能率符号化して記録等を行う装置は、サーボ回路により記録ヘッドと記録媒体の相対位置が制御され、端子10から出力された画像データ等は磁気テープやディスク等の記録媒体のあらかじめ決められた位置に記録される。

【0007】

【発明が解決しようとする課題】しかしながら、上記の従来の構成では、大きなジッターを持った映像信号、水平周波数と垂直周波数が正規の関係にない映像信号、家庭用VTRを再生した信号の様に水平同期信号に不連続（スキュー）を持った信号、家庭用ムービーVTRで撮影中時々起こる大きな振動が加えられ同期乱れが発生した状態で記録したテープを再生した信号が入力された時に、水平周波数と垂直周波数とクロック周波数の3者の同期がとれないため、画像メモリからの読み出しにおいて、入力映像信号に対するデータの相対変動が大きくな

り、安定した信号処理を行うことができなくなるという問題を有していた。

【0008】この発明は上記従来の問題点を解決するもので、入力映像信号に大きな変動があっても、画像メモリへのデータの書き込み、画像メモリからのデータの読み出しが安定してでき、以後の処理を確実に効率よく行え、また記録媒体への記録を正確に行うことができる映像信号処理装置を提供することを目的とする。

【0009】

【課題を解決するための手段】この目的を達成するために、請求項1記載の映像信号処理装置は、入力映像信号中の垂直同期信号と水平同期信号を基準にして第1の垂直基準信号A1と水平基準信号A2を生成する第1の制御信号生成回路と、水平基準信号A2を入力とし入力映像信号中の水平同期信号に位相同期した第1のクロックA3を生成する高速応答PLL回路と、入力映像信号を第1のクロックA3でサンプリングしてアナログ→デジタル変換するA/D変換器と、少なくとも1フィールドのデータが蓄積できる画像メモリと、第1のクロックA3と第1の垂直基準信号A1と水平基準信号A2を基準にしてA/D変換器の出力信号であるデータ信号の画像メモリへの書き込みを制御する書き込み制御回路と、第2のクロックB3を分周して第2の垂直基準信号B1と読み出し用基準信号B4を生成する第2の制御信号生成回路Bと、第1の垂直基準信号A1と第2の垂直基準信号B1とを位相比較し位相比較信号の帯域を十分狭くすることによって誤差変動に対する応答が十分に遅い位相ロックドループを構成して第2のクロックB3を発生する低速応答PLL回路と、第2のクロックB3と読み出し用基準信号B4を基準として画像メモリに蓄積されたデータの読み出しを制御する読み出し制御回路と、画像メモリから出力されたデータを処理する処理ブロックとを備えている。

【0010】請求項2記載の映像信号処理装置は、請求項1記載の映像信号処理装置において、高速応答PLL回路が所定の周波数を有する信号を発生するクロック発振回路と、クロック発振回路の出力信号を位相シフトして水平同期信号の変動に追従したクロックを生成するクロック位相シフト回路とを備えている。請求項3記載の映像信号処理装置は、請求項1記載の映像信号処理装置において、画像メモリはデータの並べ替え処理機能を備えている。

【0011】請求項4記載の映像信号処理装置は、入力映像信号中の垂直同期信号と水平同期信号を基準にして第1の垂直基準信号A1と第1の水平基準信号A2を生成する第1の制御信号生成回路と、一定周波数の安定な第1のクロックC3を発生するクロック発振回路と、第1の水平基準信号A2と第1のクロックC3を入力とし第1の水平基準信号A2の変動に追従して第1のクロックC3を位相シフトして入力映像信号中の水平同期信号

に位相同期した第2のクロックA3を生成するクロック位相シフト回路と、入力映像信号を第2のクロックA3でサンプリングしてアナログーデジタル変換するA/D変換器と、第1の垂直基準信号A1と第1の水平基準信号A2とA/D変換器の出力信号である第1のデータ信号A5の相対タイミングを一定に保ちながら第2のクロックA3から第1のクロックC3にクロック位相変換して第2の垂直基準信号C1と第2の水平基準信号C2と第2のデータ信号C5を生成するクロック位相変換回路と、クロック位相変換回路から出力された第2のデータ信号C5を処理する第1の処理ブロックと、少なくとも1フィールドのデータが蓄積できデータの並べ換え機能を有する画像メモリと、第1のクロックC3と第2の垂直基準信号C1と第2の水平基準信号C2を基準にして第2のデータ信号C5の画像メモリへの書き込みを制御する書き込み制御回路と、第3のクロックB3を入力とし第3の垂直基準信号B1と読み出し用基準信号B4を生成する第2の制御信号生成回路と、第1の垂直基準信号A1と第3の垂直基準信号B1とを位相比較し位相比較信号の帯域を十分狭くすることによって誤差変動に対する応答が十分に遅い位相ロックドループを構成して第3のクロックB3を発生する低速応答PLL回路と、第3のクロックB3と読み出し用基準信号B4を基準として画像メモリに蓄積されたデータの読み出しを制御する読み出し制御回路と、画像メモリから出力されたデータを処理する第2の処理ブロックとを備えている。

【0012】請求項5記載の映像信号処理装置は、請求項1または請求項4記載の映像信号処理装置において、記録ヘッドと記録媒体の相対関係を制御する制御回路の基準信号を第2の制御信号生成回路から出力することを特徴とする。

【0013】

【作用】請求項1記載の構成によれば、入力映像信号に大きな変動があっても、入力映像信号を高速応答PLL回路で作成され水平同期信号に同期した第1のクロックA3でデジタル信号に変換して画像メモリへ書き込み、低速PLL回路で作成され垂直同期信号に同期しかつ安定した第2のクロックB3で読み出す。

【0014】請求項2記載の構成によれば、入力映像信号中の水平同期信号の変動の影響がその水平期間に限られることになる。請求項3記載の構成によれば、同一の画像メモリでデータの並べ替えも合わせて行える。請求項4記載の構成によれば、入力映像信号に大きな変動があっても、入力映像信号をクロック発振回路およびクロック位相シフト回路で構成される高速応答PLL回路で一定周波数の安定な第1のクロックC3を位相シフトして入力映像信号中の水平同期信号に位相同期した第2のクロックA3でデジタル信号に変換し、上記のデジタル信号をクロック位相変換後、第1のクロックC3で画像メモリへ書き込み、低速PLL回路で作成され垂直

同期信号に同期しかつ安定した第3のクロックB3で読み出す。

【0015】請求項5記載の構成によれば、第2の制御信号生成回路の基準信号に従って記録ヘッドと記録媒体の相対関係を制御する制御回路が動作することになり、処理後のデータが記録媒体の正確な位置に記録されることになる。

【0016】

【実施例】以下、この発明の実施例を図面を参照しながら説明する。図1は、この発明の第1の実施例における映像信号処理装置のブロック図を示すものである。同図において、1は映像信号の入力端子である。2は入力映像信号から垂直同期信号と水平同期信号を分離する同期分離回路である。12は垂直同期信号と水平同期信号を基準にして垂直基準信号A1と水平基準信号A2を生成する第1の制御信号生成回路である。

【0017】13は水平基準信号A2を入力としその変動に高速に追従して入力映像信号中の水平同期信号に位相同期したクロックA3を生成する高速応答PLL回路であり、クロックを発生する電圧制御発振器、クロックを分周する分周器、基準信号と分周器出力の位相比較を行う位相比較器、位相比較器の出力の低域成分を抽出して電圧制御発振器に供給するローパスフィルタ等を内蔵している。5は入力映像信号をクロックA3でサンプリングしてアナログーデジタル変換するA/D変換器である。

【0018】6は少なくとも1フィールド以上のデータが蓄積できる画像メモリである。7はクロックA3と垂直基準信号A1と水平基準信号A2を基準にしてA/D変換器5の出力データ信号の画像メモリ6への書き込みを制御する書き込み制御回路である。14はクロックB3を入力としクロックB3を分周して垂直基準信号B1および読み出し用基準信号B4を生成する第2の制御信号生成回路Bである。15は第1の制御信号生成回路12からの垂直基準信号A1と第2の制御信号生成回路14からの垂直基準信号B1とを位相比較し位相比較信号の帯域を十分狭くすることによって誤差変動に対する応答が十分に遅い位相ロックドループを構成してクロックB3を発生する低速応答PLL回路であり、クロックを発生する電圧制御発振器、垂直基準信号A1と垂直基準信号B1の位相比較を行う位相比較器、位相比較器の出力の低域成分を抽出して電圧制御発振器に供給するローパスフィルタ等を内蔵している。8はクロックB3と読み出し用基準信号B4を基準にして画像メモリ6に蓄積されたデータの読み出しを制御する読み出し制御回路である。9は画像メモリ6から出力されたデータを処理する処理ブロックである。10は処理ブロック9から出力されたデータの出力端子である。11は画像情報を高効率符号化して記録等を行う装置の記録ヘッドと記録媒体の相対位置を制御するサーボ回路等の制御回路の基準信

号の出力端子である。

【0019】以上のように構成された第1の実施例の映像信号処理装置について、以下その動作を図1を用いて説明する。入力端子1に供給された入力映像信号から、同期分離回路2で垂直同期信号と水平同期信号が分離され、第1の制御信号生成回路12でノイズ除去やタイミング調節等の処理が行われ、垂直基準信号A1と水平基準信号A2が生成される。この水平基準信号A2は高速応答PLL回路13に inputs され、入力映像信号中の水平同期信号の変動に追従したクロックA3が生成される。

【0020】入力映像信号はA/D変換器5でクロックA3を用いてデジタル信号に変換され、画像データとして画像メモリ6に inputs される。また、垂直基準信号A1と水平基準信号A2とクロックA3は書き込み制御回路7に inputs され、書き込み制御回路7で画像メモリ6の書き込みを制御する制御信号が作成され、画像メモリ6に inputs され、これによってA/D変換器5の出力データの画像メモリ6への書き込みが制御される。

【0021】つぎに、第2の制御信号生成回路14と低速応答PLL回路15は位相ロックドループを構成する。第1の制御信号生成回路12から出力された垂直基準信号A1と第2の制御信号生成回路14で低速応答PLL回路15の出力であるクロックB3を分周して生成した垂直基準信号B1とは、低速応答PLL回路15で位相比較し、位相比較信号を通過させるローパスフィルタの帯域を十分狭く制限することによって誤差変動に対する応答の遅い位相ロックドループを構成しており、低速応答PLL回路15から入力映像信号中の垂直同期信号に同期はしているものの十分安定したクロックB3が出力され、このクロックB3が第2の制御信号生成回路14へ供給される。

【0022】つぎに、読み出し制御回路8では、第2の制御信号生成回路14から出力された読み出し用基準信号B4を元に画像メモリ6の読み出しが制御される。画像メモリ6から出力されたデータは、処理ブロック9で処理を行った後、出力端子10からデータとして出力される。ここで、読み出し用基準信号B4は画像メモリから読み出す基準で、周期は1フィールド、1フレームまたは他の任意の周期であり、また垂直基準信号A1または垂直基準信号B1に対して必要な位相差を持ったものである。

【0023】また、出力端子11から第1の制御信号生成回路12で作られたサーボ回路の基準信号が出力される。画像情報を高能率符号化して記録等を行う装置たとえばVTRやディスク装置はサーボ回路により記録ヘッドと記録媒体の相対位置が制御され、記録ヘッドには処理ブロック9から記録ヘッドの位置情報に基づいて記録信号が出力され、端子10から出力された画像データ等は磁気テープやディスク等の記録媒体の予め決められた位置に決められた信号が記録される。

【0024】以上のように、この実施例によれば、入力映像信号中の水平同期信号に同期したクロックA3を発生する応答の早い高速応答PLL回路13と、垂直同期信号に同期したクロックB3を発生する応答の遅い低速応答PLL回路15を設け、クロックA3で入力映像信号をデジタル信号に変換して画像メモリ6へ書き込み、クロックB3で画像メモリ6からデータを読み出すことにより、入力映像信号に大きな変動があっても、以後の処理を確実にかつ効率よく行うことができる。すなわち、処理ブロック9のクロックが垂直同期信号に同期するので、入力映像信号（通常1水平走査期間、1垂直走査期間内のデータ数が一定である）の1フィールドまたは1フレームに対するクロック数が一定となり、特に、フィールド処理またはフレーム処理または何フレームかをまとめて処理する場合において、処理ブロック9の信号処理すなわちデータ圧縮、誤り訂正符号付加、変調等の処理にブランキング期間等の余裕を設ける必要はなく、回路を時分割処理で有効に利用することができる。

【0025】また、非標準信号、例えば垂直同期信号と水平同期信号の比が正規の値にない信号、垂直同期信号の周波数、位相変動が大きな信号であっても、その変動成分は、ほとんど画像メモリ6で吸収することができ、データを画像メモリ6から安定して出力し、以後の処理を確実に行うことができる。しかも、この画像メモリ6はデータの並べ替え、いわゆるシャフリング機能等と共用できる。

【0026】ここで、シャフリング機能とは、画像情報を高能率符号化して記録再生する際、圧縮後の画面内の画質を均等にするため、およびドロップアウトや特殊再生（スロー、ステル、早送り、巻き戻し再生）時の符号誤りの影響を分散させるため、データの順序を入れ替える機能である。シャフリング機能には、1フィールド単位、1フレーム単位が考えられる。しかし、1フィールド単位、1フレーム単位のものであっても、必ずしも1フィールド、1フレーム分の記憶容量を必要とはしない。画像メモリとして、汎用メモリを使用した場合、容量は1Mビット、4Mビット等と容量値が予め決まっているので、100%有効利用できることはまれで、必ずかなり大きな無駄な分が生じる。このジッタ吸収に利用できる量は実際の実現例では数10水平走査期間に達する。

【0027】この発明によると、この余った分をジッタ吸収のため有効に利用できる。数10水平走査期間あれば、一般の時間軸補正装置のメモリ容量としては十分な量である。ジッタ吸収との関係について説明する。本発明の映像信号処理装置は一種の時間軸補正装置である。高速応答PLLは入力信号のジッタに応答し、画像メモリからジッタが除去された信号が取り出される。アナログ記録のビデオテープレコーダでは再生時に時間軸補正されるが、デジタル信号の状態で記録等を行う装置で

は、アナログ／デジタル変換するときにジッタを吸収する必要がある。なぜなら、高能率符号化に際し、ジッタ検出の基準となる水平同期信号等の位相情報が捨てられるので、再生時には、ジッタを検出する手段がないからである。

【0028】さらに、画像メモリの読み出しタイミングとサーボ回路を同期させるので、画像メモリの読み出しタイミングと記録ヘッドへ送り出す信号のタイミングの変動は記録ヘッドの変動だけであるので、バッファメモリの余裕を少なくすることができる。さらに、入力信号を切り換えた時、入力映像信号の垂直映像信号の位相に不連続が生じる。これをそのままサーボ回路に入力すると、不連続量が大きいと記録ヘッドの制御が乱れ、処理ブロック9からの信号が正しく記録媒体に記録できないことがある。低速応答PLL回路15の応答をサーボ回路の応答にあまり影響を与えない程度に遅くしておく、サーボ回路の乱れを防止することができる。

【0029】図2は図1の高速応答PLL回路13の構成を一般的なPLL回路とは異ならせたこの発明の第2の実施例であり、高速応答PLL回路13以外は、第1の実施例と同様である。前記した第1の実施例における高速応答PLL回路13は、一般的には電圧制御発振器、分周器、位相比較器、ローパスフィルタ等からなり、水平基準信号A2を入力とし、クロックA3の周波数、位相が水平基準信号A2の周波数に比例し、位相が同期する応答の早いPLLである。

【0030】これに対して、図2は周波数は水平同期信号とは関係なく一定で、位相のみが水平同期信号に同期するという構成を採用した高速応答PLL回路を用いたものである。同図において、16は水平基準信号A2の入力端子である。17は周波数が一定で安定なクロックC3を発振するクロック発振回路である。18はクロックC3を水平基準信号A2の位相に同期させて位相シフトしたクロックA3を出力するクロック位相シフト回路である。19はクロックA3の出力端子である。20はクロックC3の出力端子である。

【0031】周波数と位相が変化するPLLの場合、水平基準信号A2が安定な場合は問題ないが、ノイズの混入や欠落、スキュー等大きな位相ずれがあった場合、位相乱れが一定時間続くが、このクロックC3を用いた方式では1つの水平同期信号の乱れは1水平走査期間だけに限定され、画像メモリへの書き込みのタイミング乱れを最小限にとどめることができる。

【0032】図3はこの発明の第3の実施例を示す映像信号処理装置のブロック図である。同図において、1は映像信号の入力端子である。2は同期分離回路である。12は第1の制御信号生成回路である。5はA/D変換器である。6は画像メモリである。7は書き込み制御回路である。14は第2の制御信号生成回路である。15は低速応答PLL回路である。8は読み出し制御回路で

ある。9は処理ブロックである。10はデータの出力端子である。以上は図1の構成と同様なものである。

【0033】図1と異なるのは、図1の高速応答PLL回路13に代えて、図2で説明した固定クロックを発振するクロック発振回路17とクロック位相シフト回路18を高速応答PLL回路として用い、A/D変換器5の後にクロック位相変換回路21、処理ブロック22、画像データの出力端子23を設けた点である。上記のように構成された映像信号処理装置について、以下その動作を説明する。入力端子1に供給された入力映像信号から、同期分離回路2で垂直同期信号と水平同期信号が分離され、第1の制御信号生成回路12でノイズ除去やタイミング調節等の処理が行われ、垂直基準信号A1と水平基準信号A2が生成される。

【0034】クロック発振回路17は周波数が一定の安定なクロックC3を出力する。クロック位相シフト回路18には第1の制御信号生成回路12から水平基準信号A2が入力され、水平基準信号A2の位相に同期してクロックC3を位相シフトして、入力映像信号中の水平同期信号の変動に追従したクロックA3が生成される。ここで、クロックA3は1水平走査期間の間は連続であるが、水平基準信号A2が入力される毎に位相シフト量が変わり不連続が発生する信号である。

【0035】入力映像信号はA/D変換器5でクロックA3を用いてデジタル信号に変換される。クロック位相変換回路21は、不連続が発生するクロックA3で動作するA/D変換器5の出力信号のクロックを、連続信号であるクロックC3にクロック位相変換するもので、垂直基準信号A1と水平基準信号A2とA/D変換器5の出力信号であるデータ信号Aの相対タイミングを一定に保ちながらクロックA3からクロックC3にクロック位相変換して、垂直基準信号C1と水平基準信号C2とデータ信号Cを生成する。

【0036】つぎに、垂直基準信号C1と水平基準信号C2とクロックC3は書き込み制御回路7に入力され、書き込み制御回路7で画像メモリ6の書き込みを制御する制御信号が作成され、画像メモリ6に入力され、これによってクロック位相変換回路21の出力信号の画像メモリ6への書き込みが制御される。画像メモリ6から読み出す部分の動作は図1と同様である。

【0037】一方、クロック位相変換回路21から出力されたデータは、処理ブロック22で処理を行った後、出力端子23から画像データとして出力される。以上のように、この実施例によればクロック発振回路17、クロック位相シフト回路18、クロック位相変換回路21を設けることによりつぎのような効果がある。

【0038】A/D変換器5と画像メモリ6の間に信号処理が必要な場合、遅延が発生する。画像データの遅延が映像信号のブランキング期間より大きくて、有効な画像データがクロックA3の不連続点に位置すると、デー

10

20

30

40

50

タの伝送ができなくなることがあるが、これは、クロックを連続したクロックC3に変換することにより解決する。また、書き込み制御回路7のクロックが連続となり、動作が安定する。

【0039】さらに、入力映像信号が輝度信号(Y信号)と色差信号(R-Y, B-Y信号)またはR, G, B信号の場合、この入力信号をエンコードしたコンポジット信号としてモニターしたい場合がある。色信号をエンコードする場合に必要なサブキャリア信号には周波数の精度と安定性が要求されるが、クロック発振回路17を水晶発振回路とすることでサブキャリアを発生するための基準信号とすることができ、かつエンコード回路のクロックが連続信号となるので、エンコード処理をすべて処理ブロック22で行うことが可能になり、出力端子18に直接D/A変換器を直接接続し、アナログ映像信号を得ることができる。

【0040】その他の効果は、前記実施例と同様である。

【0041】

【発明の効果】この発明の映像信号処理装置によれば、高速応答PLL回路と低速応答PLL回路を設けることにより、非標準信号、例えば垂直同期信号と水平同期信号の比が正規の値にない信号、垂直同期信号の周波数、位相変動が大きな信号であっても、その変動成分は、ほとんど画像メモリで吸収することができ、データを画像メモリから安定して出力し、以後の処理を確実に行うことができる。しかも、この画像メモリはデータの並べ替え、いわゆるシャフリング機能と共用できる。

【0042】1フィールド、1フレーム単位のシャフリング機能であっても、必ずしも1フィールド、1フレーム分の記憶容量を必要とはしない。画像メモリとして、汎用メモリを使用した場合、容量は予め決まっているので、100%有効利用できることはまれで、かなり大きな無駄な分が生じる。この発明によると、この余った分をジッタ吸収のため有効に利用できる。

【0043】また、低速応答PLL回路を垂直同期信号に同期させることにより、処理ブロックのクロックが垂直同期信号に同期するので、入力映像信号の1フィールドまたは1フレームに対するクロック数が一定となり、特に、フィールド処理またはフレーム処理を行う処理ブロックにおいて、データ圧縮、誤り訂正符号付加、変調等の信号処理にブランキング期間等の余裕を設ける必要はなく、回路を時分割処理で有効に利用することができる。

【0044】また、画像メモリの読み出しタイミングとサーボ回路を同期させるので、画像メモリの読み出しタイミングと記録ヘッドへ送り出す信号のタイミングの変動は記録ヘッドの変動だけであるので、バッファメモリの余裕を少なくすることができる。さらに、入力信号を切り換えた時、入力映像信号の垂直映像信号の位相に不

連続が生じる。これをそのままサーボ回路に入力すると、不連続量が大きいと記録ヘッドの制御が乱れ、処理ブロックからの信号が正しく記録媒体に記録できないことがある。低速応答PLL回路の応答を記録ヘッドと記録媒体の相対関係を制御する制御回路の応答にあまり影響を与えない程度に遅くしておくと、制御回路の乱れを防止することができる。

【0045】さらに、高速応答PLL回路の出力のクロックは水平同期信号と位相比較する付近で位相不連続となったり、水平同期信号にノイズの混入や欠落、スキュー等大きな位相ずれがあった場合、位相乱れが一定時間続く欠点があるが、高速応答PLL回路として一定のクロックを入力映像信号の水平同期信号に同期して位相シフトする構成を選択した場合、1つの水平同期信号の乱れは1水平走査期間だけに限定され、画像メモリへの書き込みのタイミング乱れを最小限にとどめることができる。

【0046】加えて、クロック位相変換回路を設けることにより、A/D変換器から出力されるデータ信号のクロックを一定のクロックに変換することができ、書き込み制御回路のクロックが連続信号となり、クロックの不連続による誤動作を避けることができる。また、クロック周波数が一定で、かつ位相が連続であるので、エンコード処理等の信号処理をして、ディジタル信号の状態でNTSC方式やPAL方式のカラー映像信号に変換し、D/A変換して出力することができる。

【図面の簡単な説明】

【図1】この発明の第1の実施例における映像信号処理装置のブロック図である。

【図2】この発明の高速応答PLL回路の構成が図1とは異なる第2の実施例の要部のブロック図である。

【図3】この発明の第3の実施例における映像信号処理装置のブロック図である。

【図4】従来の映像信号処理装置のブロック図である。

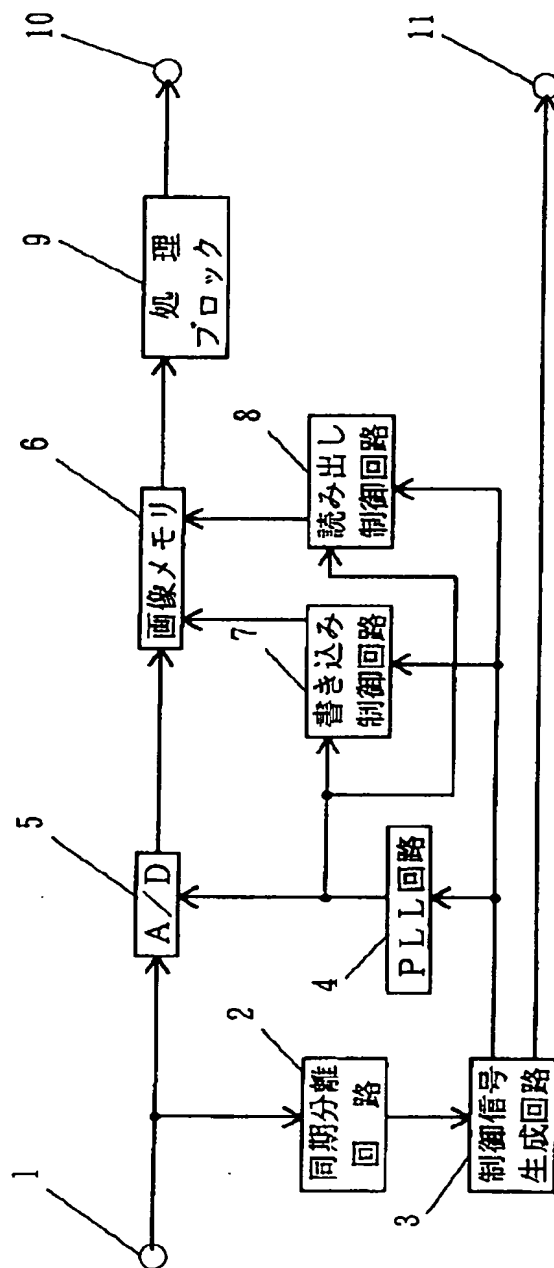
【符号の説明】

- 1 入力端子
- 2 同期分離回路
- 3 制御信号生成回路
- 4 PLL回路
- 5 A/D変換器
- 6 画像メモリ
- 7 書き込み制御回路
- 8 読み出し制御回路
- 9 処理ブロック(第1)
- 10 出力端子
- 11 出力端子
- 12 制御信号生成回路(第1)
- 13 高速応答PLL回路
- 14 制御信号生成回路(第2)
- 15 低速応答PLL回路

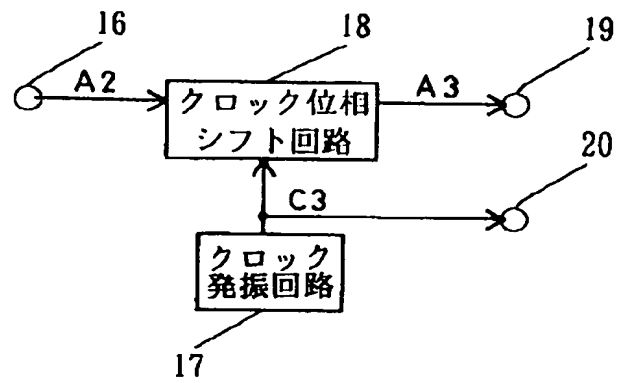
14

- | | |
|-------|--------------|
| * 2 0 | 出力端子 |
| 2 1 | クロック位相変換回路 |
| 2 2 | 処理ブロック (第 1) |
| * 2 3 | 出力端子 |

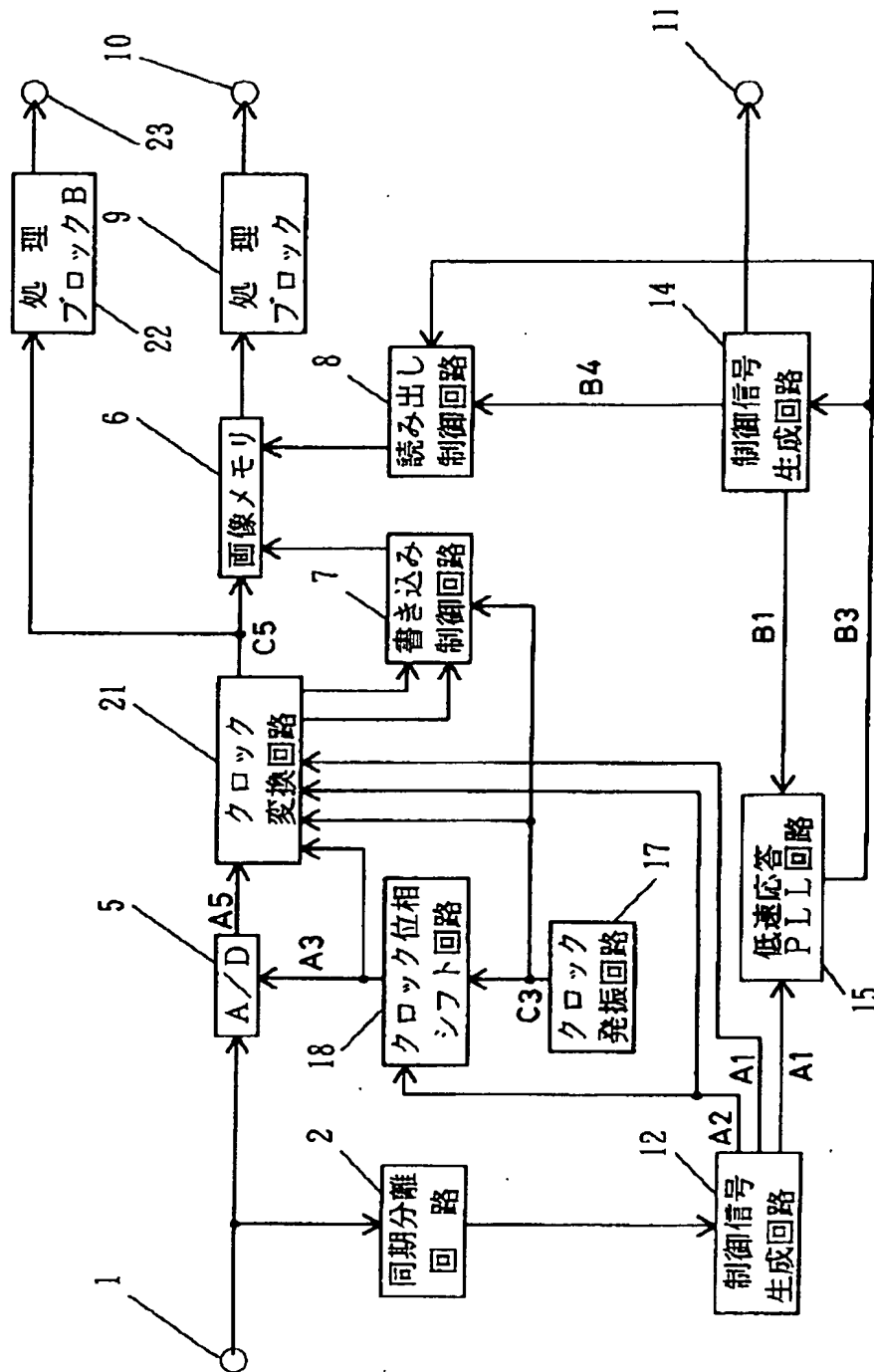
【図 4】



【図 2】



【図3】



フロントページの続き

(51) Int. Cl. 6

識別記号

庁内整理番号

F I

H 0 4 N 9/89

技術表示箇所

Z